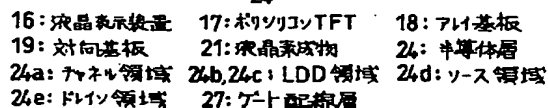


(11)特許出願公開番号



**【特許請求の範囲】**

**【請求項 1】** 絶縁性基板と、この絶縁性基板上に形成されるポリシリコンからなり、チャンネル領域及びこのチャンネル領域を挟み前記ポリシリコンを低抵抗化してなるソース・ドレイン領域並びに前記チャンネル領域の両側にて前記チャンネル領域と前記ソース・ドレイン領域との間に介在される低不純物濃度領域からなる半導体層と、ゲート絶縁膜を介し前記チャンネル領域上に形成されアルミニウム（A1）を主成分とする第 1 の導電層及び、この第 1 の導電層に積層される第 2 の導電層並びに、前記低不純物濃度領域上に形成され、前記第 1 及び第 2 の導電層の側面を被覆する第 3 の導電層からなるゲート配線層と、このゲート配線層上方にて前記絶縁性基板を被覆する層間絶縁膜層と、前記ゲート絶縁膜層及び前記層間絶縁膜層に形成される開口部を介し前記ソース・ドレイン領域に接続されるソース・ドレイン配線層とを具備する事の特徴とする薄膜トランジスタ装置。

**【請求項 2】** 第 2 及び第 3 の導電層を、クロム（Cr）、モリブデン（Mo）、タングステン（W）、チタン（Ti）、タンタル（Ta）の内の少なくとも 1 つの金属を含む金属材料にて構成する事の特徴とする請求項 1 に記載の薄膜トランジスタ装置。

**【請求項 3】** 絶縁性基板上に島状のポリシリコン層を形成する工程と、このポリシリコン層上方にて前記絶縁性基板上にゲート絶縁膜層を成膜する工程と、このゲート絶縁膜層を介し前記ポリシリコン層上方に第 1 の導電膜及び第 2 の導電膜を連続成膜する工程と、前記第 1 及び第 2 の導電膜を同時にパターン形成し第 1 の導電層及び第 2 の導電層を形成する工程と、この第 1 及び第 2 の導電層をマスクに前記ポリシリコン層にイオンドーピングし低不純物濃度領域を形成する工程と、この低不純物濃度領域を形成する工程終了後前記第 1 及び前記第 2 の導電層上に第 3 の導電膜を成膜する工程と、この第 3 の導電膜を異方的に加工して前記第 1 及び第 2 の導電層の側面のみを被覆する第 3 の導電層を形成する工程と、前記第 1 及び第 2 並びに第 3 の導電層をマスクにして前記ポリシリコン層にイオンドーピングしてソース・ドレイン領域を形成する工程とを具備する事の特徴とする薄膜トランジスタ装置の製造方法。

**【請求項 4】** 第 1 の導電膜をアルミニウム（A1）を主成分とする金属にて構成し、第 2 及び第 3 の導電膜をクロム（Cr）、モリブデン（Mo）、タングステン（W）、チタン（Ti）、タンタル（Ta）の内の少なくとも 1 つの金属を含む金属材料にて構成する事の特徴とする請求項 3 に記載の薄膜トランジスタ装置の製造方法。

**【請求項 5】** 絶縁性基板と、この絶縁性基板上に配置される第 1 の配線層と、この第 1 の配線層と交差するよう配線される第 2 の配線層と、前記第 1 及び第 2 の配線層の間にマトリクス状に配列される画素電極と、前記第

1 及び第 2 の配線層の交点に配列され前記画素電極に接続されるスイッチング素子とを有し、対向電極を有する対向基板との間に液晶組成物を挟持することにより液晶表示装置を構成する液晶表示装置用アレイ基板において、

前記第 1 の配線層あるいは前記第 2 の配線層の内の少なくとも一方を、アルミニウム（A1）を主成分とする第 1 の導電層及び、この第 1 の導電層に積層される第 2 の導電層並びに、前記第 1 及び第 2 の導電層の側面を被覆する第 3 の導電層にて構成する事の特徴とする液晶表示装置用アレイ基板。

**【請求項 6】** 絶縁性基板と、この絶縁性基板上に配置される走査線層と、この走査線層と交差するよう配線される信号線層と、前記走査線層及び前記信号線層の間にマトリクス状に配列される画素電極と、前記走査線層及び前記信号線層の交点に配列されポリシリコンからなるチャンネル領域及びこのチャンネル領域を挟み前記ポリシリコンを低抵抗化してなるソース・ドレイン領域並びに前記チャンネル領域の両側にて前記チャンネル領域及び前記ソース・ドレイン領域の間に介在される低不純物濃度領域からなる半導体層と、ゲート絶縁膜を介し前記チャンネル領域上に形成され前記走査線と一体的に形成されるゲート配線層と、このゲート配線層上方にて前記絶縁性基板を被覆する層間絶縁膜層と、前記ゲート絶縁膜層及び前記層間絶縁膜層に形成される開口部を介し前記ソース領域及び前記画素電極間を接続するソース配線層と、前記ゲート絶縁膜層及び前記層間絶縁膜層に形成される開口部を介し前記ドレイン領域及び前記信号線間を接続する前記信号線と一体的に形成されるドレイン配線層を有し前記画素電極を駆動する薄膜トランジスタ装置とを有し、

対向電極を有する対向基板との間に液晶組成物を挟持することにより液晶表示装置を構成する液晶表示装置用アレイ基板において、

少なくとも一体的に形成される前記走査線層及びゲート配線層を、アルミニウム（A1）を主成分とする第 1 の導電層及び、この第 1 の導電層に積層される第 2 の導電層並びに、前記第 1 及び第 2 の導電層の側面を被覆する第 3 の導電層にて構成する事の特徴とする液晶表示装置用アレイ基板。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は、ポリシリコン（P-Si）からなる半導体層を有する薄膜トランジスタ装置及び薄膜トランジスタ装置の製造方法並びにこの薄膜トランジスタ装置を用いてなる液晶表示装置用アレイ基板に関する。

**【0002】**

**【従来の技術】** 液晶表示装置の駆動回路に用いる薄膜トランジスタ装置（以下 TFT と略称する。）として、高

移動度であり、良好な半導体特性を有することから、従来ポリシリコン(P-Si)からなる半導体層を有するポリシリコンTFTが開発されている。

【0003】このポリシリコンTFTは、オン状態で比較的大きなドレイン電圧を与えられた場合、半導体層のチャネル領域と、その両側の、不純物を高濃度注入し低抵抗化してなる、ソース・ドレイン領域との接合部分に電界が集中しやすく、この電界により、加速されたキャリアであるホットエレクトロンやホットホールが発生されやすい。このホットエレクトロンやホットホールは、非常に高いエネルギーを持つため、半導体層及びゲート配線層間を絶縁するゲート絶縁膜内部に侵入して蓄積される場合があり、ポリシリコンTFTのしきい値電圧を変動させ、その安定な動作を妨げたり、あるいはアバランシェ降下を起こしゲート絶縁膜やソース・ドレイン領域を破壊する等、ポリシリコンTFTの信頼性、耐久性を低下させるおそれを有していた。

【0004】そこでこのようなポリシリコンTFTの信頼性及び耐久性を向上し良好な特性を得るため、一般に、チャネル領域及びソース・ドレイン領域との間に、ソース・ドレイン領域よりも不純物濃度が低く、チャネル領域とソース・ドレイン領域の中間の抵抗値を有する低不純物濃度領域(以下LDD領域と略称する。)を形成し、チャネル領域及びソース・ドレイン領域との接合部分での電界集中を緩和し、ホットエレクトロンやホットホールの発生を防止するポリシリコンTFTが開発されている。

【0005】このLDD領域において、その長さであるLDD長は、特開平5-72555号公報に開示されるように、0.1~0.5 $\mu$ m程度が望ましいとされる。これはLDD領域は、不純物の濃度を、チャネル領域とソース・ドレイン領域の中間に設定する事が重要とされ、LDD領域を設けない場合に、チャネル領域とソース・ドレイン領域との接合部分に形成されるキャリアに対する接触障壁を低下させ、電界集中を緩和させるものである事から、LDD領域が断面方向に長いと、ポリシリコンTFTの直列抵抗成分を下げるため、なるべく短い方が好ましいとされることによる。

【0006】具体的には特願平7-249835号公報に開示される様に、ソース・ドレイン領域の抵抗値は、ポリシリコンTFTのオン状態でのチャネル領域の抵抗値の2%以下である事が望ましい。この様な抵抗値を得るには、ポリシリコンTFTそのものの電解効果移動度やサイズにもよるが、ポリシリコンTFTのオン状態でのチャネルの抵抗値は50k $\Omega$ 程度なので、ソース・ドレイン領域の抵抗値は、1k $\Omega$ 以下が良い。LDD領域の電気抵抗率が0.1 $\Omega$ m程度とすると、LDD長は0.5 $\mu$ m以下が望ましい。又LDD長の下限は、製造時のプロセスの安定性、再現性を考えると0.1 $\mu$ m以上が望ましい。

【0007】そしてLDD領域を有するポリシリコンTFTを得るため従来は、図4に示すように製造されていた。即ち、

①図4(イ)に示す様にガラス基板1上にアモルファスシリコン膜を積層し、レーザアニールにより、アモルファスシリコン膜をポリシリコン膜に結晶化し、マトリクス状にパターンニングしポリシリコン膜からなる半導体層3を形成する。

【0008】②図4(ロ)に示す様にゲート絶縁膜4、ゲート配線6を形成し、低ドーズにてリン(P+)イオンやホウ素(B+)イオン等の不純物をドーピングし半導体層3にチャネル領域3-1、LDD領域3-2を形成する。

【0009】③図4(ハ)に示す様に感光性レジストマスク7を形成し、高ドーズにてリン(P+)イオンやホウ素(B+)イオン等の不純物をドーピングし半導体層3にソース・ドレイン領域3-3を形成する。

【0010】④図4(ニ)に示す様にマスク7を除去し、層間絶縁膜8を形成する。

【0011】⑤図4(ホ)に示す様にコンタクトホール10a、10bを形成し、ソース電極12、ドレイン電極13を形成し、LDD領域を有するポリシリコンTFT14装置を完成していた。

【0012】

【発明が解決しようとする課題】しかしながら上記の様にレジストマスクを用いてLDD領域を形成する場合、現状のフォトリソグラフィ技術では、レジストマスク形成時の重ね合わせの精度が $\pm 2\mu$ m程度の誤差を生じ、LDD長が0.1~0.5 $\mu$ m程度が望ましいとされるにも拘わらず、ソース領域側とドレイン領域側とはLDD長が最大2 $\mu$ m程度異なる場合を生じ、このようなポリシリコンTFTでは、印可するドレイン電圧の極性により、トランジスタ特性が変わってしまい、液晶を安定に駆動出来ず、表示品位が劣化するという問題を生じていた。

【0013】一方液晶表示装置にあつては、の高精細且つ大表示画面の要求による大型化により、ポリシリコンTFTの配線層の配線抵抗が増大されると表示むらを生じる事から、配線層を低抵抗のアルミニウム(Al)で構成する装置の開発が進められている。しかしながらアルミニウム(Al)は腐食しやすく、又熱工程を経た場合にヒロックと呼ばれる凹凸が配線層周囲に生じ、配線間ショートを起こしやすいという問題を有している。そこで特開平6-120503号公報等に開示されるように配線層をアルミニウム(Al)膜と、アルミニウム(Al)を被覆するクロム(Cr)、モリブデン(Mo)、タングステン(W)、チタン(Ti)、タンタル(Ta)あるいはこれらの合金からなる金属膜との積層構造にする事が提案されている。

【0014】そして従来このような配線層は、アルミニ

ウム (A1) 膜からなる配線層をフォトリソグラフィ技術によりパターンニングした後、更に他の金属を成膜しフォトリソグラフィ技術によりパターンニングして形成していた。

【0015】しかしながら、現状のフォトリソグラフィ技術にあっては、アルミニウム (A1) からなる配線層を他の金属で完全に被覆するためには、アルミニウム

(A1) 配線層の線幅に比較して、他の金属の線幅を片側  $2\mu\text{m}$  程度以上大きくする必要があり、結果として配線幅が増大され、液晶表示装置の開口率を低下することとなり、表示品位を低下させるという問題を有していた。

【0016】そこで本発明は上記課題を除去するもので、LDD長を微細且つ高精度に制御可能にする事により、ポリシリコンLDDの駆動特性を安定化し、良好な表示品位を有する液晶表示装置を得ると共に、アルミニウム (A1) を主成分とする配線層の信頼性及び耐久性を高め、低抵抗の配線層を有するポリシリコンTFTの実用化を図る事により、表示むらの無い、良好な表示品位を有する液晶表示装置を得られる、薄膜トランジスタ装置及び薄膜トランジスタ装置の製造方法並びに液晶表示装置用アレイ基板を提供することを目的とする。

【0017】

【課題を解決するための手段】本発明は上記課題を解決するための第1の手段として、絶縁性基板と、この絶縁性基板上に形成されるポリシリコンからなり、チャンネル領域及びこのチャンネル領域を挟み前記ポリシリコンを低抵抗化してなるソース・ドレイン領域並びに前記チャンネル領域の両側にて前記チャンネル領域と前記ソース・ドレイン領域との間に介在される低不純物濃度領域からなる半導体層と、ゲート絶縁膜を介し前記チャンネル領域上に形成されアルミニウム (A1) を主成分とする第1の導電層及び、この第1の導電層に積層される第2の導電層並びに、前記低不純物濃度領域上に形成され、前記第1及び第2の導電層の側面を被覆する第3の導電層からなるゲート配線層と、このゲート配線層上方にて前記絶縁性基板を被覆する層間絶縁膜層と、前記ゲート絶縁膜層及び前記層間絶縁膜層に形成される開口部を介し前記ソース・ドレイン領域に接続されるソース・ドレイン配線層とを設けるものである。

【0018】又本発明は上記課題を解決するための第2の手段として、前記第1の手段において、第2及び第3の導電層を、クロム (Cr)、モリブデン (Mo)、タングステン (W)、チタン (Ti)、タンタル (Ta) の内の少なくとも1つの金属を含む金属材料にて構成するものである。

【0019】又本発明は上記課題を解決するための第3の手段として、絶縁性基板上に島状のポリシリコン層を形成する工程と、このポリシリコン層上方にて前記絶縁性基板上にゲート絶縁膜層を成膜する工程と、このゲ-

ート絶縁膜層を介し前記ポリシリコン層上方に第1の導電膜及び第2の導電膜を連続成膜する工程と、前記第1及び第2の導電膜を同時にパターン形成し第1の導電層及び第2の導電層を形成する工程と、この第1及び第2の導電層をマスクに前記ポリシリコン層にイオンドーピングし低不純物濃度領域を形成する工程と、この低不純物濃度領域を形成する工程終了後前記第1及び前記第2の導電層上に第3の導電膜を成膜する工程と、この第3の導電膜を異方的に加工して前記第1及び第2の導電層の側面のみを被覆する第3の導電層を形成する工程と、前記第1及び第2並びに第3の導電層をマスクにして前記ポリシリコン層にイオンドーピングしてソース・ドレイン領域を形成する工程とを実施する物である。

【0020】又本発明は上記課題を解決するための第4の手段として、前記第3の手段において、第1の導電膜をアルミニウム (A1) を主成分とする金属にて構成し、第2及び第3の導電膜をクロム (Cr)、モリブデン (Mo)、タングステン (W)、チタン (Ti)、タンタル (Ta) の内の少なくとも1つの金属を含む金属材料にて構成するものである。

【0021】又本発明は上記課題を解決するための第5の手段として、絶縁性基板と、この絶縁性基板上に配置される第1の配線層と、この第1の配線層と交差するよう配線される第2の配線層と、前記第1及び第2の配線層の間にマトリクス状に配列される画素電極と、前記第1及び第2の配線層の交点に配列され前記画素電極に接続されるスイッチング素子とを有し、対向電極を有する対向基板との間に液晶組成物を挟持することにより液晶表示装置を構成する液晶表示装置用アレイ基板において、前記第1の配線層あるいは前記第2の配線層の内の少なくとも一方を、アルミニウム (A1) を主成分とする第1の導電層及び、この第1の導電層に積層される第2の導電層並びに、前記第1及び第2の導電層の側面を被覆する第3の導電層にて構成するものである。

【0022】又本発明は上記課題を解決するための第6の手段として、絶縁性基板と、この絶縁性基板上に配置される走査線層と、この走査線層と交差するよう配線される信号線層と、前記走査線層及び前記信号線層の間にマトリクス状に配列される画素電極と、前記走査線層及び前記信号線層の交点に配列されポリシリコンからなるチャンネル領域及びこのチャンネル領域を挟み前記ポリシリコンを低抵抗化してなるソース・ドレイン領域並びに前記チャンネル領域の両側にて前記チャンネル領域及び前記ソース・ドレイン領域の間に介在される低不純物濃度領域からなる半導体層と、ゲート絶縁膜を介し前記チャンネル領域上に形成され前記走査線と一体的に形成されるゲート配線層と、このゲート配線層上方にて前記絶縁性基板を被覆する層間絶縁膜層と、前記ゲート絶縁膜層及び前記層間絶縁膜層に形成される開口部を介し前記ソース領域及び前記画素電極間を接続するソース配線層と、前記

ゲート絶縁膜層及び前記層間絶縁膜層に形成される開口部を介し前記ドレイン領域及び前記信号線間を接続する前記信号線と一体的に形成されるドレイン配線層を有し前記画素電極を駆動する薄膜トランジスタ装置とを有し、対向電極を有する対向基板との間に液晶組成物を挟持することにより液晶表示装置を構成する液晶表示装置用アレイ基板において、少なくとも一体的に形成される前記走査線層及びゲート配線層を、アルミニウム (Al) を主成分とする第 1 の導電層及び、この第 1 の導電層に積層される第 2 の導電層並びに、前記第 1 及び第 2 の導電層の側面を被覆する第 3 の導電層にて構成するものである。

【0023】上記構成により、ポリシリコン TFT において、所望の微細且つ高精細な LDD 長を容易に得る事ができ、ポリシリコン TFT の駆動の安定化を図れ良好な表示品位を得られる。又アルミニウム (Al) を主成分とする配線層のヒロックや腐食等を防止し、信頼性及び耐久性が高く且つ低抵抗の配線層の実用化を図れ、大型液晶表示装置への適用を図るものである。

【0024】

【発明の実施の形態】以下、本発明の実施の形態を図 1 乃至図 3 を参照して説明する。16 は、アクティブマトリクス型の液晶表示装置であり、駆動素子の半導体層としてポリシリコンを用いるトップゲート型のポリシリコン TFT 17 を有するアレイ基板 18 及び対向基板 19 の間に、配向膜 20a、20b を介して液晶組成物 21 を保持すると共に偏光板 22a、22b を有している。

【0025】ここでアレイ基板 18 の、ガラスあるいは石英等からなる透明な絶縁基板 23 上には、ポリシリコン TFT 17 のポリシリコンからなるチャネル領域 24a、低ドーズのリン (P+) イオンがドーピングされる LDD 領域 24b、24c、高ドーズのリン (P+) イオンがドーピングされるソース領域 24d、ドレイン領域 24e を有する半導体層 24 がパターン形成されている。

【0026】この半導体層 24 上には酸化シリコン膜 (SiO<sub>2</sub>) からなるゲート絶縁膜 26 を介し、アルミニウム (Al) からなる第 1 の導電層 27a、チタン (Ti) からなる第 2 の導電層 27b、タングステン (W) からなる第 3 の導電層 27c で構成され、第 1 の配線層であり走査線 (図示せず) と一体的に形成されるゲート配線層 27 が形成されている。更に酸化シリコン膜 (SiO<sub>2</sub>) からなる層間絶縁膜 28 を介して画素電極 30 が形成されている。

【0027】層間絶縁膜 28 上には、モリブデン／アルミニウム／モリブデン (Mo/Al/Mo) 積層膜からなり、コンタクトホール 31a を介しドレイン領域 24e に接続され、走査線 (図示せず) と直交する第 2 の配線層で有る信号線 (図示せず) と一体的に形成されるドレイン配線層 32 が形成され、更にモリブデン／アルミ

ニウム／モリブデン (Mo/Al/Mo) 積層膜からなり、コンタクトホール 31b を介しソース領域 24d 及び画素電極 30 間を接続するソース配線層 33 が形成されている。又 34 は保護膜である。

【0028】一方対向基板 19 は、ガラスあるいは石英等からなる透明な絶縁基板 36 の全面に対向電極 37 及び保護膜 38 を有し、アレイ基板 18 との間に液晶組成物 21 を封入し、液晶表示装置 16 を構成している。

【0029】次にポリシリコン TFT 17 の製造方法について述べる。

【0030】(1) 図 3 (イ) に示す様に絶縁基板 23 上にプラズマ CVD 法により厚さ 30～100nm の非晶質シリコン (a-Si) を成膜した後、エキシマレーザアニール法により活性化し、ポリシリコン (P-Si) を形成し、更にフォトリソグラフィ工程により半導体層 24 をマトリクス状にパターンニングする。

【0031】(2) (ロ) に示す様にプラズマ CVD 法により酸化シリコン膜 (SiO<sub>2</sub>) を厚さ 100nm 成膜しゲート絶縁膜 26 を形成する。

【0032】(3) (ハ) に示す様にスパッタリング法によりアルミニウム (Al) からなる第 1 の導電膜 41 を 400nm、更にチタン (Ti) からなる第 2 の導電膜 42 を 50nm 連続成膜する。

【0033】(4) 図 3 (ニ) に示す様にフォトリソグラフィ工程により第 1 及び第 2 の導電膜 41、42 をパターンニングし第 1 及び第 2 の導電層 27a、27b を形成する。

【0034】(5) 図 3 (ホ) に示す様に第 1 及び第 2 の導電層 27a、27b をマスクとしたイオン注入法により、半導体層 24 に低ドーズにてリン (P+) イオンあるいはホウ素 (B+) イオンをドーピングし、LDD 領域 24b、24c を形成する。

【0035】(6) 図 3 (ヘ) に示す様にスパッタリング法によりタングステン (W) からなる第 3 の導電膜 43 を水平面で 500nm となるよう成膜する。一般的なスパッタリング法では、水平面に比し垂直面では成膜厚が薄くなり、垂直面への成膜厚は条件により異なるが、この時の第 1 及び第 2 の導電層 27a、27b の側面に成膜される第 3 の導電膜 43 の厚さは 300nm となり、この第 3 の導電膜 43 の垂直面の厚さが LDD 長を決定する。

【0036】(7) 図 3 (ト) に示す様に第 3 の導電膜 43 をトリフルオロブロモメタン／酸素 (CF<sub>3</sub>Br/O<sub>2</sub>) を用いるリアクティブイオンエッチング法により形成する。このトリフルオロブロモメタン／酸素 (CF<sub>3</sub>Br/O<sub>2</sub>) を用いると、側面部にはプラズマ重合によるポリマーが堆積するためエッチングが妨げられエッチング形状は異方的となる。これにより、第 1 及び第 2 の導電層 27a、27b の側面のみにタングステン

(W) からなる第 3 の導電層 27c を残す事が出来る。

これら第1乃至第3の導電層27a~27cによりゲート配線層27が形成される。

【0037】(8)図3(チ)に示す様に第1乃至第3の導電層27a~27cをマスクとしたイオン注入法により、半導体層24に高ドーズにてリン(P+)イオンあるいはホウ素(B+)イオンをドーピングし、ソース・ドレイン領域24d、24eを形成する。これにより断面方向で第3の導電層27cの幅である、0.3 $\mu$ mのLDD長が高精度に規定され、長さの揃った微細なLDD構造の半導体層24が形成される。

【0038】(9)図3(リ)に示す様にプラズマCVD法により酸化シリコン膜(SiO<sub>2</sub>)を厚さ500nm成膜し層間絶縁膜28を形成する。

【0039】(10)図3(ヌ)に示す様にHF(フッ化水素酸)系エッチャントを用いたエッチングによりコンタクトホール31a、31bを形成する。この時、ゲート配線層27のアルミニウム(Al)からなる第1の導電層27aは、第2及び第3の導電層27b、27cのチタン(Ti)、タングステン(W)に覆われており、エッチングによる腐食を防止される。

【0040】(11)図3(ル)に示す様にスパッタリング法により、インジウム錫酸化物(以下ITOと略称する。)を厚さ100nm成膜し、フォトリソグラフィ工程により画素電極30をパターン形成する。

【0041】(12)図3(ヲ)に示す様にスパッタリング法によりモリブデン/アルミニウム/モリブデン(Mo/Al/Mo)積層膜を50nm/500nm/50nm連続成膜し、フォトリソグラフィ工程によりソース配線層33及び、図示しない信号線と一体的に形成されるドレイン配線層32をパターン形成し、ポリシリコンTFT17を完成する。

【0042】この様に構成すれば、半導体層24のLDD領域24b、24cのLDD長が、フォトリソグラフィ技術により形成されるマスクを用いることなく、第3の導電膜43を異方的に加工してなりゲート配線層27の第1及び第2の導電層27a、27bの側面を覆う第3の導電層27cの垂直面の厚さにより微細且つ高精度に規制されるので、従来生じていたLDD長のばらつきを防止出来、所望のLDD長を容易に得られ、ポリシリコンTFT17は、移動度やしきい値電圧等のばらつきを生じることなく、安定した駆動特性を得られ、液晶表示装置16の表示品位の向上を図れる。

【0043】又、走査線(図示せず)及びこれと一体のゲート配線層27、ソース配線層33、信号線(図示せず)及びこれと一体のドレイン配線層32のすべての配線層が低抵抗のアルミニウム(Al)を主成分とすると共に、走査線(図示せず)及びこれと一体のゲート配線層27にあつては、アルミニウム(Al)からなる第1の導電層27aをチタン(Ti)からなる第2の導電層27b及びタングステン(W)からなる第3の導電層2

7cで被覆していることから、コンタクトホール31a、31b形成時に腐食を生じたり、加熱加工時にヒロックを生じる事無く、信頼性及び耐久性を損なう事無く配線層の低抵抗化を実現出来、液晶表示装置16の大表示画面化も可能とされる。

【0044】しかも、アルミニウム(Al)からなる第1の導電層27aを、チタン(Ti)及びタングステン(W)にて被覆してなる走査線(図示せず)及びこれと一体のゲート配線層27は、フォトリソグラフィ技術による形成時に比し、線幅を細く出来、液晶表示装置16の開口率の向上も図れる。

【0045】尚本発明は上記実施の形態に限られるものでなく、その趣旨を変えない範囲での変更は可能であつて、例えば、第1の導電層はアルミニウム(Al)に限定されず、アルミニウム(Al)を主成分としていれば、シリコン(Si)、銅(Cu)、タングステン(W)、チタン(Ti)、タンタル(Ta)等との合金であっても良いし、第2の導電層も、アルミニウム(Al)より高い融点を有するクロム(Cr)、モリブデン(Mo)、タングステン(W)、タンタル(Ta)等でも良く、又、層構造も単層に限らず、複数層としても良いし、第1の導電層にあつては、チタン(Ti)層あるいは、チタン/チタ化チタン(Ti/TiN)の積層の上にアルミニウム(Al)を主成分とする金属層を積層する等しても良いし第3の導電層も、アルミニウム(Al)より高い融点を有するクロム(Cr)、モリブデン(Mo)、チタン(Ti)、タンタル(Ta)等でも良い。更にこれら導電膜を含む配線層の成膜方法もスパッタ法に限らず、CVD法や真空蒸着法等であっても良いし、その膜厚も必要に応じて任意である。

【0046】更に第3の導電膜をエッチングする際のエッチングガスも限定されず、トリフルオロ/酸素(CHF<sub>3</sub>/O<sub>2</sub>)ガス等でもよく、第3の導電膜の金属に応じてより適正なガスを用い、例えばモリブデン(Mo)であればタングステン(W)に用いるのと同様の反応ガスが適当とされ、クロム(Cr)、チタン(Ti)、タンタル(Ta)であれば、塩素系(Cl<sub>2</sub>)のガスが適当とされる。

【0047】

【発明の効果】以上説明したように本発明によれば、第3の導電膜を異方的に加工し、第1及び第2の導電膜の側面にのみ残し、この第3の導電膜をマスクにLDD領域を規定することにより、フォトリソグラフィ技術に比し、微細且つ高精度なLDD長を容易に得られ、従来生じていたLDD長のばらつきによる移動度やしきい値電圧等のばらつきを防止出来、安定した駆動特性を有するポリシリコンTFTを得られ、液晶表示装置の表示品位を向上できる。

【0048】又アルミニウム(Al)を主成分とする第1の導電層を耐久性の良い金属からなる第2、第3の導

電層で被覆してなる配線層を用いる事により、低抵抗で有りながら腐食やヒロックを生じることなく信頼性、耐久性に優れ且つ配線幅の狭い配線を得られ、大表示画面の液晶表示装置への適用においても、表示むらを生じたり開口率低下を生じること無く良好な表示品位を得られ、大型液晶表示装置への適用も可能となる。

【図面の簡単な説明】

【図 1】本発明の実施の形態の液晶表示装置を示す概略断面図である。

【図 2】本発明の実施の形態のポリシリコン TFT を示す概略断面図である。

【図 3】本発明の実施の形態のポリシリコン TFT の製造工程を示し、(イ)はその半導体層のパターニング時、(ロ)はゲート絶縁膜形成時、(ハ)は第 1 及び第 2 の導電膜形成時、(ニ)は第 1 及び第 2 の導電層のパターニング時、(ホ)は LDD 領域のドーピング時、

(ヘ)は第 3 の導電膜成膜時、(ト)は第 3 の導電層の異方形成時、(チ)はソース・ドレイン領域ドーピング時、(リ)は層間絶縁膜形成時、(ヌ)はコンタクトホール形成時、(ル)は画素電極形成時、(ヲ)はソース配線層及びドレイン配線層形成時を示す概略説明図である。

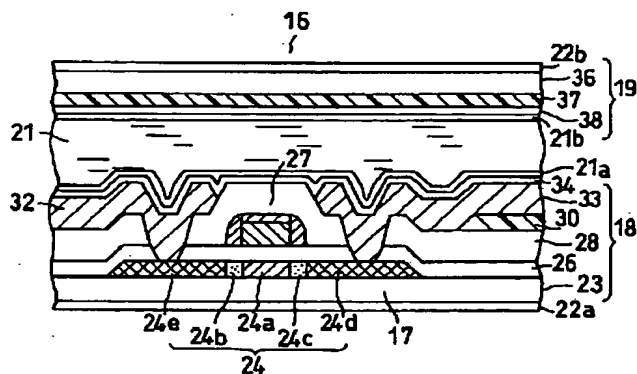
【図 4】従来のポリシリコン TFT の製造工程を示し、(イ)はその半導体層のパターニング時、(ロ)は LDD 領域ドーピング時、(ハ)はソース・ドレイン領域ド

ーピング時、(ニ)は層間絶縁膜形成時、(ホ)はソース電極及びドレイン電極形成時を示す概略説明図である。

【符号の説明】

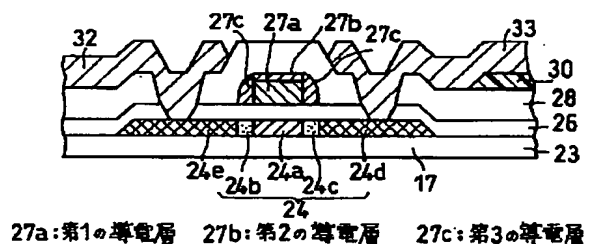
- 16…液晶表示装置
- 17…ポリシリコン TFT
- 18…アレイ基板
- 19…対向基板
- 21…液晶組成物
- 24…半導体層
- 24a…チャネル領域
- 24b、24c…LDD 領域
- 24d…ソース領域
- 24e…ドレイン領域
- 26…ゲート絶縁膜
- 27…ゲート配線層
- 27a…第 1 の導電層
- 27b…第 2 の導電層
- 27c…第 3 の導電層
- 31a、31b…コンタクトホール
- 32…ドレイン配線層
- 33…ソース配線層
- 41…第 1 の導電膜
- 42…第 2 の導電膜
- 43…第 3 の導電膜

【図 1】



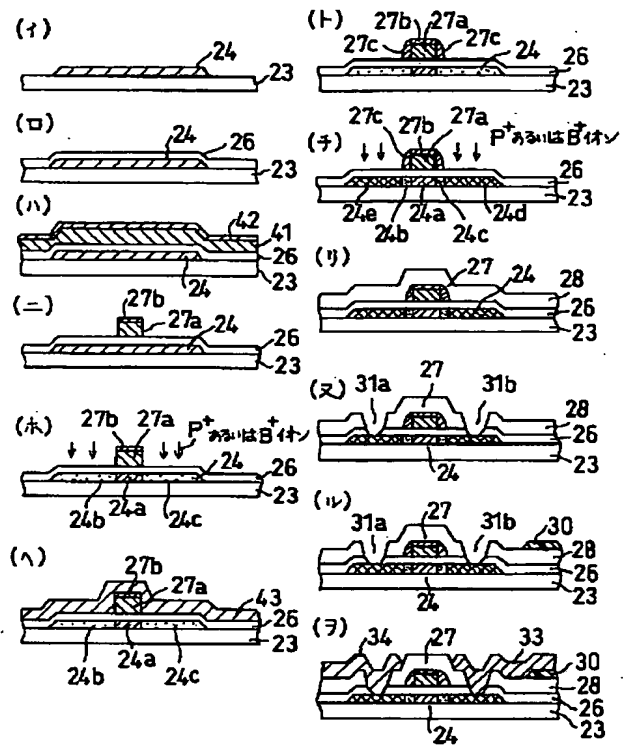
- |             |                  |            |
|-------------|------------------|------------|
| 16: 液晶表示装置  | 17: ポリシリコン TFT   | 18: アレイ基板  |
| 19: 対向基板    | 21: 液晶組成物        | 24: 半導体層   |
| 24a: チャネル領域 | 24b, 24c: LDD 領域 | 24d: ソース領域 |
| 24e: ドレイン領域 | 27: ゲート配線層       |            |

【図 2】

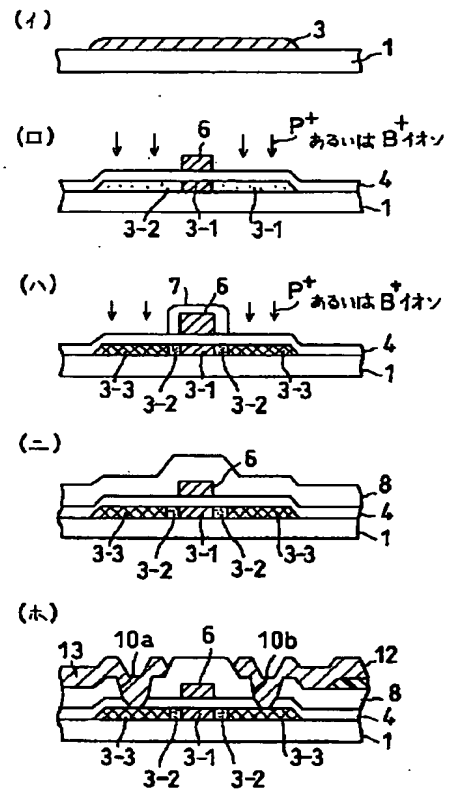


- 27a: 第 1 の導電層    27b: 第 2 の導電層    27c: 第 3 の導電層

【図3】



【図4】



フロントページの続き

(51) Int. Cl. 6

識別記号

F I

H O I L 29/78

6 1 6 V

6 1 7 M



(19) Japan Patent Office (JP)

(12) Publication of Patent Application (A)

(11) Publication Number of Patent Application: 87716/1999

(43) Date of Publication of Application: March 30, 1999

(51) Int. Cl.<sup>6</sup> :

H 01 L 29/786

21/336

G 02 F 1/136

Identification Number:

500

FI

H 01 L 29/78 616A

G 02 F 1/136 500

H 01 L 29/78 612D

612C

616M

Request for Examination: not made

Number of Claims: 6 OL (8 pages in total)

(21) Application Number Hei-9-237061

(22) Application Date: September 2, 1997

(71) Applicant: 000003078

Toshiba Corp.

72, Horikawa-cho, Saiwai-ku, Kawasaki-shi,

Kanagawa

(72) Inventor: HIDAKA Koji

c/o Fukaya Electron Factory,  
Toshiba Corp.  
1-9-2, Hatara-cho, Fukaya-shi,  
Saitama

(74) Agent: Patent Attorney, OHKO Norio (other 1)

(54) Title: THIN FILM TRANSISTOR DEVICE, MANUFACTURING METHOD  
FOR THIN FILM TRANSISTOR AND ARRAY SUBSTRATE FOR LIQUID CRYSTAL  
DISPLAY DEVICE

(57) Abstract

[Problem] To improve the display quality of a liquid crystal display device by preventing characteristic dispersion due to the variation in length of LDD of a semiconductor layer in a polysilicon TFT. To improve the display quality by preventing uneven display due to an increase in wiring resistance value of a liquid crystal display device having a large display screen.

[Means for Resolution] A third conductive film 43 is formed to be anisotropic, and with a third conductive layer 27c left behind to cover the side surfaces of a first and second conductive layers 27a, 27b as a mask, the LDD length of LDD regions 24b, 24c is regulated. A scan line (not shown) and a gate wiring layer 27 formed integrally therewith are composed of a first conductive layer 27a made of aluminum (Al), a second conductive layer 27b made of titanium (Ti) and a third

conductive layer 27c made of tungsten (W).

Claims:

1. A thin film transistor device, comprising: an insulating substrate; a semiconductor layer, which is formed on the insulating substrate and formed of polysilicon and includes a channel region, a source-drain region sandwiching the channel region and formed by lowering the resistance of the polysilicon and low impurity density regions interposed between the channel region and the source-drain region on both sides of the channel region; a gate wiring layer including a first conductive layer formed on the channel region through a gate insulation film and mainly composed of aluminum (Al), a second conductive layer stacked on the first conductive layer, and a third conductive layer formed on the low impurity concentration region and covering the side surfaces of the first and second conductive layers; an interlayer insulation film layer covering the insulating substrate above the gate wiring layer; and a source-drain wiring layer connected to the source-drain region through opening parts formed in the gate insulation film layer and the interlayer insulation film layer.

2. The thin film transistor device according to claim 1, wherein the second and third conductive layers are formed of a metallic material containing at least one metal among chrome (Cr), molybdenum (Mo), tungsten (W), titanium (Ti), and

tantalum (Ta).

3. A manufacturing method for a thin film transistor device, comprising: a process of forming an insular polysilicon layer on an insulating substrate; a process of depositing a gate insulation film on the insulating substrate above the polysilicon layer; a process of continuously depositing a first conductive film and a second conductive film above the polysilicon layer through the gate insulation film layer; a process of patterning the first and second conductive films at the same time to form a first conductive layer and a second conductive layer; a process of doping the polysilicon layer with ions with the first and second conductive layers as a mask to form a low impurity concentration region; a process of depositing a third conductive film on the first and second conductive layers after the end of the process of forming the low impurity concentration region; a process of anisotropic-processing the third conductive film to cover only the side surfaces of the first and second conductive layers; a process of doping the polysilicon layer with ions with the first, second and third conductive layers as a mask to form source-drain region.

4. The manufacturing method for a thin film transistor device according to claim 3, wherein the first conductive film is formed of metal mainly composed of aluminum (Al), and the second and third conductive layers are formed of a metallic

material containing at least one metal among chrome (Cr), molybdenum (Mo), tungsten (W), titanium (Ti), and tantalum (Ta).

5. An array substrate for a liquid crystal display device, comprising: an insulating substrate; a first wiring layer disposed on the insulating substrate; a second wiring layer wired to intersect the first wiring layer; pixel electrodes arranged in a matrix between the first and second wiring layers; and a switching element arranged in an intersection point of the first and second wiring layers and connected to the pixel electrode, which constitutes a liquid crystal display device by holding a liquid crystal composition in a space up to an opposed substrate having a counter electrode, wherein at least one of the first wiring layer and the second wiring layer includes a first conductive layer mainly composed of aluminum (Al), a second conductive layer stacked on the first conductive layer and a third conductive layer covering the side surfaces of the first and second conductive layers.

6. An array substrate for a liquid crystal display device, comprising: an insulating substrate; a scan line layer disposed on the insulating substrate; a signal conductor layer wired to intersect the scan line layer; pixel electrodes arranged in a matrix between the scan line layer and the signal conductor layer; a semiconductor layer, which is arranged on an intersection point of the scan line layer and the signal

conductor layer and includes a channel region formed of polysilicon, a source-drain region sandwiching the channel region and formed by lowering the resistance of the polysilicon and low impurity density regions interposed between the channel region and the source-drain region on both sides of the channel region; a gate wiring layer formed on the channel region through a gate insulation film and formed integrally with the scan line; an interlayer insulation film layer covering the insulating substrate above the gate wiring layer; a source wiring layer connecting between the source region and the pixel electrode through opening parts formed in the gate insulation film layer and the interlayer insulation film layer; and a thin film transistor device having a drain wiring layer formed integrally with the signal conductor connecting between the drain region and the signal conductor through the opening parts formed in the gate insulation film layer and the interlayer insulation film layer to drive the pixel electrodes, which constitutes a liquid crystal display device by holding a liquid crystal composition in a space up to an opposed substrate having a counter electrode, wherein at least the integrally formed scan line layer and gate wiring layer includes a first conductive layer mainly composed of aluminum (Al), a second conductive layer stacked on the first conductive layer and a third conductive layer covering the side surfaces of the first and second conductive layers.

Detailed Description of the Invention:

[0001]

[Technical Field to which the Invention Belongs]

This invention relates to a thin film transistor device having a semiconductor layer formed of polysilicon (P-Si), a manufacturing method for the thin film transistor device, and an array substrate for a liquid crystal display device using the thin film transistor device.

[0002]

[Prior Art]

As a thin film transistor device (hereinafter referred to as TFT for short) used in a driving circuit of a liquid crystal display device, a polysilicon TFT having a semiconductor layer formed of polysilicon (P-Si) has been developed heretofore because of its high mobility and excellent semiconductor characteristics.

[0003]

When a relatively large drain voltage is applied to the polysilicon TFT in the on-state, an electric field is liable to concentrate on a junction part of a channel region and a source-drain region on both sides thereof formed by injecting impurity at high concentration to have low resistivity in the semiconductor layer, and this electric field easily causes the generation of hot electrons which are accelerated carrier and

hot holes. Since the hot electrons and hot holes have very high energy, there is the possibility that sometimes they enter the interior of a gate insulation film insulating between the semiconductor layer and the gate wiring layer to be stored, resulting in fluctuating the threshold voltage of the polysilicon TFT to obstruct the stable operation of the TFT or cause avalanche drop to break the gate insulation film and the source-drain region, so that the reliability and durability of the polysilicon TFT are lowered.

[0004]

Then, a polysilicon TFT has been developed, in which in order to improve the reliability and durability of the polysilicon TFT and obtain excellent characteristics, it is general to form a low impurity concentration region (hereinafter referred to as LDD region for short) between the channel region and the source-drain region, which has lower impurity concentration than the source-drain region and has a resistance value intermediate between the channel region and the source-drain region, thereby relaxing the concentration of an electric field at a junction part of the channel region and the source-drain region to prevent the generation of hot electrons and hot holes.

[0005]

In the LDD region, it is desirable that the LDD length, which is the length of the region, is about 0.1 to 0.5  $\mu\text{m}$  as



disclosed in JP-A-5-72555. The reason for this is that it is important to set the concentration of impurity of the LDD region intermediate between the channel region and the source-drain region, and since in the case of no LDD region, contact barrier to the carrier formed in a junction part of the channel region and the source-drain region is lowered to relax the concentration of an electric field, when the LDD region is long in the sectional direction, the series resistance component of the polysilicon TFT is lowered, so the shorter, the better.

[0006]

To be concrete, as disclosed in JP-A-7-249835, it is desirable that the resistance value of the source-drain region is 2% or less of the resistance value of the channel region in the on state of the polysilicon TFT. In order to obtain such a resistance value, although it depends on the electric field mobility and size of the polysilicon TFT itself, the resistance value of the channel in the on state of the polysilicon TFT is about 50 k $\Omega$ , so preferably the resistance value of the source-drain region is 1 k $\Omega$  or less. Supposing that the electric resistivity of the LDD region is about 0.1  $\Omega\text{m}$ , desirably the LDD length is 0.5  $\mu\text{m}$  or less. Desirably the lower limit of the LDD length is 0.1  $\mu\text{m}$  or more in consideration of stability and reproducibility of process in manufacture.

[0007]

In order to obtain the polysilicon TFT having the LDD

region, it has been manufactured heretofore as shown in Fig.

4. That is,

(1) As shown in Fig. 4A, an amorphous silicon film is stacked on a glass substrate 1, and the amorphous silicon film is crystallized into a polysilicon film by laser annealing, and subjected to patterning in a matrix to form a semiconductor layer 3 of a polysilicon film.

[0008]

(2) As shown in Fig. 4B, a gate insulation film 4 and a gate wiring 6 are formed, and doped with impurity such as phosphorus ( $P^+$ ) ions or boron ( $B^+$ ) ions at a low dose to form a channel region 3-1 and an LDD region 3-2 in the semiconductor layer 3.

[0009]

(3) As shown in Fig. 4C, a photosensitive resist mask 7 is formed and doped with impurity such as phosphorus ( $P^+$ ) ions or boron ( $B^+$ ) ions at a high dose to form a source-drain region 3-3 in the semiconductor layer 3.

[0010]

(4) As shown in Fig. 4D, a mask 7 is removed to form an interlayer insulation film 8.

[0011]

(5) As shown in Fig. 4E, contact holes 10a, 10b are formed to form a source electrode 12 and a drain electrode 13, thereby completing a polysilicon TFT 14 device having an LDD region.

[0012]

[Problems that the Invention is to Solve]

In the case of forming the LDD region with a resist mask as described above, however, with the present photolithography, an error about  $\pm 2 \mu\text{m}$  is caused in the overlay accuracy in forming the resist mask, so that sometimes the LDD length varies about  $2 \mu\text{m}$  at maximum between the source region side and the drain region side, and this type of polysilicon TFT causes the problem that the characteristic of the transistor varies with the polarity of applied drain voltage so that the liquid crystal can't be driven stably to deteriorate the display quality.

[0013]

On the other hand, the liquid crystal display device becomes large-sized due to the demand for high precision and large display screen, so that when the wiring resistance of the wiring layer of the polysilicon TFT is increased, uneven display is caused. Accordingly, the development of a device in which the wiring layer is formed of low-resistance aluminum (Al) has been advanced. However, the aluminum (Al) has the problem that it is liable to corrode, and when it is subjected to a heat process, projecting and recessed parts called hillock are caused in the periphery of the wiring layer to easily cause inter-wiring short. Then, as disclosed in JP-A-6-120503, it is proposed that the wiring layer has a stacking structure of an aluminum (Al) film and a metal film covering the aluminum

(Al) formed of chrome (Cr), molybdenum (Mo), tungsten (W), titanium (Ti), tantalum (Ta), or alloy thereof.

[0014]

This type of wiring layer has been formed heretofore by patterning the wiring layer formed of an aluminum (Al) film by photolithography technique, subsequently further depositing another metal, and patterning the same by the photolithography technique.

[0015]

The present photolithography, however, has the problem that in order to completely cover the wiring layer formed of aluminum (Al) with another metal, it is necessary to make the line width of another metal larger than the line width of the aluminum (Al) wiring layer by about 2  $\mu\text{m}$  or more on one side, so that the wiring width is increased to lower the aperture ratio of the liquid crystal display device, resulting in lowering the display quality.

[0016]

The invention has been made to eliminate the problem and it is an object of the invention to provide a thin film transistor device, a manufacturing method for the thin film transistor device, and an array substrate for a liquid crystal display device, by which the LDD length can be controlled minutely and with high accuracy to stabilize the driving characteristic of polysilicon LDD and obtain a liquid crystal

display device having excellent display quality, and the reliability and durability of a wiring layer mainly composed of aluminum (Al) are heightened to put the polysilicon TFT having low-resistance wiring layer to practical use, thereby obtaining a liquid crystal display device having excellent display quality.

[0017]

[Means for Solving the Problems]

As a first means for solving the problems, the invention is provided with an insulating substrate, a semiconductor layer, which is formed on the insulating substrate and formed of polysilicon and includes a channel region, a source-drain region sandwiching the channel region and formed by lowering the resistance of the polysilicon and low impurity density regions interposed between the channel region and the source-drain region on both sides of the channel region, a gate wiring layer including a first conductive layer formed on the channel region through a gate insulation film and mainly composed of aluminum (Al), a second conductive layer stacked on the first conductive layer, and a third conductive layer formed on the low impurity concentration region and covering the side surfaces of the first and second conductive layers, an interlayer insulation film layer covering the insulating substrate above the gate wiring layer, and a source-drain wiring layer connected to the source-drain region through

opening parts formed in the gate insulation film layer and the interlayer insulation film layer.

[0018]

According to the invention, as a second means for solving the problems, in the first means, the second and third conductive layers are formed of a metallic material containing at least one metal among chrome (Cr), molybdenum (Mo), tungsten (W), titanium (Ti), and tantalum (Ta).

[0019]

As a third means for solving the problems, the invention performs a process of forming an insular polysilicon layer on an insulating substrate, a process of depositing a gate insulation film on the insulating substrate above the polysilicon layer, a process of continuously depositing a first conductive film and a second conductive film above the polysilicon layer through the gate insulation film layer, a process of patterning the first and second conductive films at the same time to form a first conductive layer and a second conductive layer, a process of doping the polysilicon layer with ions with the first and second conductive layers as a mask to form a low impurity concentration region; a process of depositing a third conductive film on the first and second conductive layers after the end of the process of forming the low impurity concentration region, a process of anisotropic-processing the third conductive film to cover only

the side surfaces of the first and second conductive layers, a process of doping the polysilicon layer with ions with the first, second and third conductive layers as a mask to form source-drain region.

[0020]

According to the invention, as a fourth means for solving the problems, in the third means, the first conductive film is formed of metal mainly composed of aluminum (Al), and the second and third conductive layers are formed of a metallic material containing at least one metal among chrome (Cr), molybdenum (Mo), tungsten (W), titanium (Ti), and tantalum (Ta).

[0021]

According to the invention, as a fifth means for solving the problems, an array substrate for a liquid crystal display device includes an insulating substrate, a first wiring layer disposed on the insulating substrate, a second wiring layer wired to intersect the first wiring layer, pixel electrodes arranged in a matrix between the first and second wiring layers, and a switching element arranged in an intersection point of the first and second wiring layers and connected to the pixel electrode, which constitutes a liquid crystal display device by holding a liquid crystal composition in a space up to an opposed substrate having a counter electrode, wherein at least one of the first wiring layer and the second wiring layer is

formed of a first conductive layer mainly composed of aluminum (Al), a second conductive layer stacked on the first conductive layer and a third conductive layer covering the side surfaces of the first and second conductive layers.

[0022]

According to the invention, as a sixth means for solving the problem, an array substrate for a liquid crystal display device includes an insulating substrate, a scan line layer disposed on the insulating substrate, a signal conductor layer wired to intersect the scan line layer, pixel electrodes arranged in a matrix between the scan line layer and the signal conductor layer, a semiconductor layer, which is arranged on an intersection point of the scan line layer and the signal conductor layer and includes a channel region formed of polysilicon, a source-drain region sandwiching the channel region and formed by lowering the resistance of the polysilicon and low impurity density regions interposed between the channel region and the source-drain region on both sides of the channel region; a gate wiring layer formed on the channel region through a gate insulation film and formed integrally with the scan line; an interlayer insulation film layer covering the insulating substrate above the gate wiring layer, a source wiring layer connecting between the source region and the pixel electrode through opening parts formed in the gate insulation film layer and the interlayer insulation film layer, and a thin film



transistor device having a drain wiring layer formed integrally with the signal conductor connecting between the drain region and the signal conductor through the opening parts formed in the gate insulation film layer and the interlayer insulation film layer to drive the pixel electrodes, which constitutes a liquid crystal display device by holding a liquid crystal composition in a space up to an opposed substrate having a counter electrode, wherein at least the integrally formed scan line layer and gate wiring layer is formed of a first conductive layer mainly composed of aluminum (Al), a second conductive layer stacked on the first conductive layer and a third conductive layer covering the side surfaces of the first and second conductive layers.

[0023]

By the above configuration, desired fine and high-accuracy LDD length can be easily obtained in the polysilicon TFT so that the drive of the polysilicon TFT can be stabilized to obtain excellent display quality. Further, hillock and corrosion of the wiring layer mainly composed of AL can be prevented to put the wiring layer having high reliability and durability and low resistance to practical use, and be applicable to a large-sized liquid crystal display device.

[0024]

[Mode for Carrying Out the Invention]

The mode for carrying out the invention will now be

described with reference to Figs. 1 to 3. The reference 16 is an active matrix liquid crystal display device, in which a liquid crystal composition 21 is held between an array substrate 18 having a top gate type polysilicon TFT 17 using polysilicon as a semiconductor layer of a driving element and an opposed substrate 19 through orientation films 20a, 20b, and which is provided with sheet polarizers 22a, 22b.

[0025]

In this array substrate 18, on a transparent insulating substrate 23 formed of glass, quartz or the like, a semiconductor layer 24 of the polysilicon TFT 17, having a channel region 24a formed of polysilicon, LDD regions 24b, 24c doped with phosphorus ( $P^+$ ) ions at a low dose, a source region 24d doped with phosphorus ( $P^+$ ) ions at a high dose, and drain region 24e is pattern-formed.

[0026]

On the semiconductor layer 24, a gate wiring layer 27 composed of a first conductive layer 27a formed of aluminum (Al), a second conductive layer 27b formed of titanium (Ti) and a third conductive layer 27c formed of tungsten (W), which is a first wiring layer and formed integrally with a scan line (not shown) is formed through a gate insulation film 26 formed by a silicon oxide film ( $SiO_2$ ). Further, a pixel electrode 30 is formed through an interlayer insulation film 28 formed by the oxide silicon film ( $SiO_2$ ).

[0027]

On the interlayer insulation film 28, a drain wiring layer 32, which is formed by a laminated film of molybdenum/aluminum/molybdenum (Mo/Al/Mo), connected to the drain region 24e through a contact hole 31a, and formed integrally with a signal conductor (not shown) which intersects the scan line (not shown) and is a second wiring layer, is formed, and further a source wiring layer 33, which is formed by a laminated film of molybdenum/aluminum/molybdenum (Mo/Al/Mo), and connects between the source region 24d and a pixel electrode 30 through a contact hole 31b, is formed. The reference numeral 34 is a protective film.

[0028]

On the other hand, the opposed substrate 19 has a counter electrode 37 and a protective film 38 on the whole surface of a transparent insulating substrate 36 formed of glass, quartz or the like, and constitutes a liquid crystal display device 16 by filling a space up to the array substrate 18 with a liquid crystal composition 21.

[0029]

A manufacturing method for the polysilicon TFT 17 will now be described.

[0030]

(1) As shown in Fig. 3A, amorphous silicon (a-Si) is deposited to be 30 to 100 nm thick on the insulating substrate

23 by plasma CVD method, and then activated by excimer laser annealing method to form polysilicon (p-Si), and further the semiconductor layer 24 is subjected to patterning in a matrix by photolithography process.

[0031]

(2) As shown in Fig. 3B, a silicon oxide film ( $\text{SiO}_2$ ) is deposited to be 100 nm thick by plasma CVD method to form the gate insulation film 26.

[0032]

(3) As shown in Fig. 3C, continuously a first conductive film 41 formed of aluminum (Al) is deposited to be 400 nm and further a second conductive film 42 formed of titanium (Ti) is deposited to be 50 nm by sputtering process.

[0033]

(4) As shown in Fig. 3D, a first and second conductive films 41, 42 are subjected to patterning by photolithography process to form a first and second conductive layers 27a, 27b.

[0034]

(5) As shown in Fig. 3E, the semiconductor layer 24 is doped with phosphorus ( $\text{P}^+$ ) ions or ( $\text{B}^+$ ) ions at a low dose by ion implantation method taking the first and second conductive layers 27a, 27b as a mask, to thereby form the LDD regions 24b, 24c.

[0035]

(6) As shown in Fig. 3F, a third conductive film 43 formed

of tungsten (W) is deposited to be 500 nm in a horizontal plane by sputtering process. In the general sputtering process, the deposition thickness is smaller in the vertical plane than that in the horizontal plane, and although the deposition thickness to the vertical plane varies depending on the condition, the thickness of the third conductive film 43 deposited on the side surfaces of the first and second conductive layers 27a, 27b at the time is 300 nm, and the thickness of the vertical plane of the third conductive film 43 determines the LDD length.

[0036]

(7) As shown in Fig. 3G, the third conductive film 43 is formed by reactive ion etching method using trifluorobromomethane/oxygen ( $\text{CF}_3\text{Br}/\text{O}_2$ ). When the trifluorobromomethane/( $\text{CF}_3\text{Br}/\text{O}_2$ ) is used, polymers are deposited on the side surface part by plasma polymerization to obstruct etching, so that the etching shape is anisotropic. Thus, the third conductive layer 27c formed of tungsten (W) can be left behind only at the side surfaces of the first and second conductive layers 27a, 27b. The gate wiring layer 27 is formed by the first to third conductive layers 27a to 27c.

[0037]

(8) As shown in Fig. 3H, the semiconductor layer 24 is doped with phosphorus ( $\text{P}^+$ ) ions or ( $\text{B}^+$ ) ions at a high dose by ion implantation method taking the first to third conductive layers 27a to 27c as a mask, to thereby form the source-drain

regions 24d, 24e. Thus, the LDD length of 0.3  $\mu$ m, which is the width of the third conductive layer 27c in the sectional direction, is defined with high accuracy, whereby the semiconductor layer 24 of fine LDD structure uniform in length can be formed.

[0038]

(9) As shown in Fig. 3I, a silicon oxide film ( $\text{SiO}_2$ ) is deposited to be 500 nm thick by plasma CVD method to form the interlayer insulation film 28.

[0039]

(10) As shown in Fig. 3J, the contact holes 31a, 31b are formed by etching using HF (hydrofluoric acid) etchant. At the time, the first conductive layer 27a formed of aluminum (Al) of the gate wiring layer 27 is covered with titanium (Ti) and tungsten (W) of the second and third conductive layers 27b, 27c, thereby preventing corrosion due to etching.

[0040]

(11) As shown in Fig. 3K, an indium tin oxide (hereinafter referred to as ITO for short) is deposited to be 100 nm thick by sputtering process, and the pixel electrode 30 is pattern-formed by photolithography process.

[0041]

(12) As shown in Fig. 3L, a laminated film of molybdenum/aluminum/molybdenum (Mo/Al/Mo) is continuously deposited to be 50 nm/500 nm/50 nm by sputtering process, and

the source wiring layer 33 and the drain wiring layer 32 formed integrally with the signal conductor not shown are pattern-formed by photolithography process to complete the polysilicon TFT 17.

[0042]

By this arrangement, the LDD length of the LDD regions 24b, 24c of the semiconductor layer 24 can be defined finely and with high accuracy by the thickness of the vertical plane of the third conductive layer 27, which is formed by anisotropic processing the third conductive film 43 and covers the side surfaces of the first and second conductive layers 27a, 27b of the gate wiring layer 27 without a mask formed by photolithography technique, whereby variation in LDD length caused before can be prevented, a desired LDD length can be easily obtained, the polysilicon TFT 17 causes no variation in mobility, threshold voltage or the like so as to obtain stable driving characteristic and improve the display quality of the liquid crystal display device 16.

[0043]

All of wiring layers of the scan line (not shown), the gate wiring layer 27 integrated therewith, the source wiring layer 33, the signal conductor (not shown) and the drain wiring layer 32 integrated therewith are mainly composed of low-resistance aluminum (Al), and in the scan line (not shown) and the gate wiring layer 27 integrated therewith, the first

conductive layer 27a formed of aluminum (Al) is covered with the second conductive layer 27b formed of titanium (Ti) and the third conductive layer 27c formed of tungsten (W), whereby in forming the contact holes 31a, 31b, no corrosion is caused, and hillock is not caused in hot processing, the resistance of the wiring layer can be lowered without impairing the reliability and durability, and the display screen of the liquid crystal display device 16 can be enlarged.

[0044]

Furthermore, the scan line (not shown) formed by covering the first conductive layer 27a formed of aluminum (Al) with titanium (Ti) and tungsten (W) and the gate wiring layer 27 integrated therewith can be decreased in line width and the aperture ratio of the liquid crystal display device 16 can be improved as compared with those formed by photolithography technique.

[0045]

The invention is not limited to the above embodiment, but susceptible to modifications without changing its spirit. For example, the first conductive layer is not limited to aluminum (Al), but if aluminum (Al) is taken as a main component, alloy made with silicon (Si), copper (Cu), tungsten (W), titanium (Ti), tantalum (Ta) or the like may be used. The second conductive layer may be also formed of chrome (Cr), molybdenum (Mo), tungsten (W), titanium (Ti), and tantalum (Ta) having



a higher melting point than the aluminum (Al). Further, the layer structure is not limited to mono-layer, but it may be multi-layer. As to the first conductive layer, a metal layer mainly composed of aluminum (Al) may be stacked on a titanium (Ti) layer or a laminated layer of titanium/titanium nitride (Ti/TiN), and also the third conductive layer may be formed of chrome (Cr), molybdenum (Mo), titanium (Ti), tantalum (Ta), having a higher melting point than the alminium (Al). Further, the deposition method for the wiring layer including the conductive films is not limited to the sputtering process, but the CVD method, vacuum evaporation method and the like may be adopted, and the film thickness is arbitrary set at need.

[0046]

Further, etching gas in etching the third conductive film is not limited, but trifluoro/oxygen ( $\text{CHF}_3\text{O}_2$ ) gas or the like may be used, and more suitable gas is used according to the metal of the third conductive film. In the case of molybdenum (Mo), for example, the reaction gas similar to that used in tungsten (W) is suitable, and in the case of chrome (Cr), titanium (Ti), and tantalum (Ta), chlorine ( $\text{Cl}_2$ ) gas is suitable.

[0047]

[Advantage of the Invention]

According to the invention, as described above, the third conductive film is anisotropic-processed to be left behind only

at the side surfaces of the first and second conductive films, and with the third conductive film as a mask, the LDD region is regulated, whereby as compared with the photolithography technique, fine and high-accuracy LDD length can be more easily obtained, and fluctuation in mobility and threshold voltage due to variation in LDD length can be prevented so as to obtain the polysilicon TFT having stable driving characteristic and improve the display quality of the liquid crystal display device.

[0048]

The wiring layer formed by covering the first conductive layer mainly composed of aluminum (Al) with the second and third conductive layers formed of metal having good durability is used, whereby in spite of low resistance, the wiring which may prevent hillock and corrosion and has excellent reliability and durability, and a narrow wiring width can be obtained, and in application to the liquid crystal display device having a large display screen, good display quality can be obtained without uneven display and lowering of aperture ratio so that it can be applied to a large-sized liquid crystal display device.

#### Brief Description of the Drawings:

Fig. 1 is a schematic sectional view showing a liquid crystal display device according to the mode for carrying out

the invention;

Fig. 2 is a schematic sectional view showing a polysilicon TFT according to the mode for carrying out the invention;

Figs. 3A to 3L show a manufacturing process for the polysilicon TFT according to the mode for carrying out the invention; Fig. 3A is a schematic diagram showing the step of patterning a semiconductor layer thereof; Fig. 3B is a schematic diagram showing the step of forming a gate insulation film; Fig. 3C is a schematic diagram showing the step of forming the first and second conductive films; Fig. 3D is a schematic diagram showing the step of patterning the first and second conductive layers; Fig. 3E is a schematic diagram showing the step of doping LDD region; Fig. 3F is a schematic diagram showing the step of depositing the third conductive film; Fig. 3G is a schematic diagram showing the step of anisotropic-forming the third conductive layer; Fig. 3H is a schematic diagram showing the step of doping the source-drain region; Fig. 3I is a schematic diagram showing the step of forming an interlayer insulation film; Fig. 3J is a schematic diagram showing the step of forming a contact hole; Fig. 3K is a schematic diagram showing the step of forming a pixel electrode; and Fig. 3L is a schematic diagram showing the step of forming a source wiring layer and a drain wiring layer;

Figs. 4 A to 4E show a manufacturing process for the

conventional polysilicon TFT; Fig. 4A is a schematic diagram showing the step of patterning a semiconductor layer thereof; Fig. 4B is a schematic diagram showing the step of doping LDD region; Fig. 4C is a schematic diagram showing the step of doping a source-drain region; Fig. 4D is a schematic diagram showing the step of forming an interlayer insulation film; and Fig. 4E is a schematic diagram showing the step of forming a source electrode and a drain electrode.

[Description of the Reference Numerals and Signs]

16: liquid crystal display device 17: polysilicon TFT  
18: array substrate 19: opposed substrate 21: liquid crystal composition 24: semiconductor layer 24a: channel region 24b, 24c: LDD region 24d: source region 24e: drain region  
26: gate insulation film 27: gate wiring layer 27a: first conductive layer 27b: second conductive layer 27c: third conductive layer 31a, 31b: contact hole 32: drain wiring layer 33: source wiring layer 41: first conductive film 42: second conductive film 43: third conductive film

FIGURE 1:

16: LIQUID CRYSTAL DISPLAY DEVICE 17: POLYSILICON TFT 18:  
ARRAY SUBSTRATE 19: COUNTER SUBSTRATE 21: LIQUID CRYSTAL  
COMPOSITION 24: SEMICONDUCTOR LAYER 24A: CHANNEL REGION 24B,  
24C: LDD REGION 24D: SOURCE REGION 24E: DRAIN REGION 27:  
GATE WIRING LAYER

FIGURE 2:

27A: FIRST CONDUCTIVE LAYER 27B: SECOND CONDUCTIVE LAYER  
27C: THIRD CONDUCTIVE LAYER

FIGURES 3 AND 4:

P<sup>+</sup> OR B<sup>+</sup> IONS